

Partial Translation of JP 2000-277703

...omitted...

[Description of Reference Numerals]

5    1, 2, 11, 12, 21, 22   FET  
      3, 4, 31, 32, 41, 42   resistor  
      Ra, Ra1, Ra2, Ra3, Ra4   resistance value  
      A, B, C   terminal

...omitted...

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-277703

(43)Date of publication of application : 06.10.2000

(51)Int.CI.

H01L 27/095  
 H01L 27/04  
 H01L 21/822  
 H03H 11/24  
 H03K 17/687

(21)Application number : 11-082509

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 25.03.1999

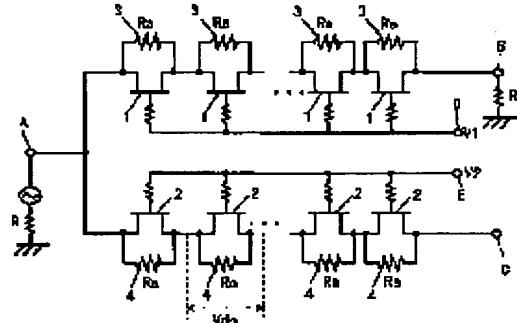
(72)Inventor : UDA NAONORI  
YAMAGUCHI TSUTOMU

## (54) SWITCH CIRCUIT DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain a switch circuit device capable of improving I/O power characteristic and miniaturization.

**SOLUTION:** A plurality of FETs 1 are connected between terminals A and B, a plurality of FETs 2 are connected between the terminal A and a terminal C, a resistor 3 is connected between a source and a drain of each of the FETs 1, and a resistor 4 is connected between a source and a drain of each of the FETs 2. Each of the resistors 3 is formed in an element region of the FET 1. Each of the resistors 4 is formed in the element region of the FET 2. The resistance of at least one resistor 3 of a plurality of resistors 3 is set lower than that of the other resistors 3. The resistance of at least one resistor 4 of the plurality of resistors 4 is set lower than that of the other resistors 4. The resistors 3, 4 satisfy prescribed relations in such a manner that each of the resistors 3, 4 holds high resistance.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-277703

(P2000-277703A)

(43)公開日 平成12年10月6日 (2000.10.6)

(51)Int.Cl.<sup>7</sup>  
H 01 L 27/095  
27/04  
21/822  
H 03 H 11/24  
H 03 K 17/687

識別記号

F I  
H 01 L 29/80  
H 03 H 11/24  
H 01 L 27/04  
H 03 K 17/687

テ-マコ-ト(参考)  
E 5 F 0 3 8  
B 5 F 1 0 2  
P 5 J 0 5 5  
G 5 J 0 9 8

審査請求 未請求 請求項の数6 O L (全9頁)

(21)出願番号 特願平11-82509

(22)出願日 平成11年3月25日(1999.3.25)

(71)出願人 000001889  
三洋電機株式会社  
大阪府守口市京阪本通2丁目5番5号  
(72)発明者 宇田 尚典  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内  
(72)発明者 山口 勤  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内  
(74)代理人 100098305  
弁理士 福島 祥人

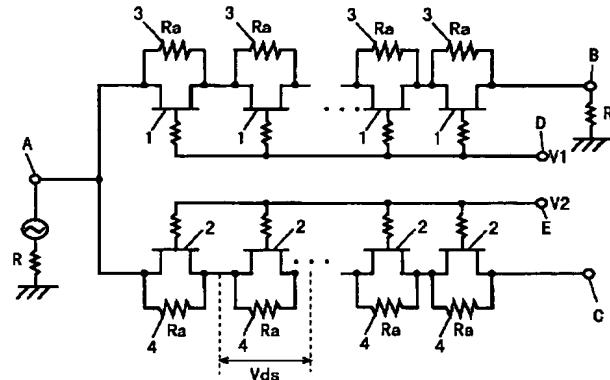
最終頁に続く

(54)【発明の名称】スイッチ回路装置

(57)【要約】

【課題】入出力電力特性の向上および小型化が可能なスイッチ回路装置を提供することである。

【解決手段】端子A、B間に複数のFET 1が接続され、端子A、C間に複数のFET 2が接続され、各FET 1のソース・ドレイン間に抵抗3が接続され、各FET 2のソース・ドレイン間に抵抗4が接続される。各抵抗3はFET 1の素子領域内に設けられ、各抵抗4はFET 2の素子領域内に設けられる。複数の抵抗3のうち少なくとも1つの抵抗3の抵抗値が他の抵抗3の抵抗値よりも低く設定され、複数の抵抗4のうち少なくとも1つの抵抗4の抵抗値が他の抵抗4の抵抗値よりも低く設定される。各抵抗3、4が高抵抗を保持するように抵抗3、4が所定の関係を満足する。



## 【特許請求の範囲】

【請求項1】 共通端子と第1の端子との間に接続され、かつ第1の制御信号を受けるゲート電極を有する少なくとも1つの第1のトランジスタと、

前記共通端子と第2の端子との間に接続され、かつ前記第1の制御信号と相補的に変化する第2の制御信号を受けるゲート電極を有する少なくとも1つの第2のトランジスタと、

前記第1のトランジスタのソース電極とドレイン電極との間にそれぞれ接続された少なくとも1つの第1の抵抗と、

前記第2のトランジスタのソース電極とドレイン電極との間にそれぞれ接続された少なくとも1つの第2の抵抗とを備え、

前記第1の抵抗は、前記第1のトランジスタの素子領域内に設けられ、前記第2の抵抗は、前記第2のトランジスタの素子領域内に設けられたことを特徴とするスイッチ回路装置。

【請求項2】 前記第1の抵抗は、前記第1のトランジスタのソース電極とドレイン電極との間の領域に配置された抵抗層を含み、前記第2の抵抗は、前記第2のトランジスタのソース電極とドレイン電極との間の領域に配置された抵抗層を含むことを特徴とする請求項1記載のスイッチ回路装置。

【請求項3】 前記第1の抵抗は、前記第1のトランジスタの上方に配置された抵抗層を含み、前記第2の抵抗は、前記第2のトランジスタの上方に配置された抵抗層を含むことを特徴とする請求項1記載のスイッチ回路装置。

【請求項4】 共通端子と第1の端子との間に接続され、かつ第1の制御信号を受けるゲート電極を有する複数の第1のトランジスタと、

前記共通端子と第2の端子との間に接続され、かつ前記第1の制御信号と相補的に変化する第2の制御信号を受けるゲート電極を有する複数の第2のトランジスタと、前記複数の第1のトランジスタのソース電極とドレイン電極との間にそれぞれ接続された複数の第1の抵抗と、前記複数の第2のトランジスタのソース電極とドレイン電極との間にそれぞれ接続された複数の第2の抵抗とを備え、

前記複数の第1の抵抗のうち少なくとも1つの第1の抵抗の抵抗値は、他の第1の抵抗の抵抗値よりも低いことを特徴とするスイッチ回路装置。

【請求項5】 前記複数の第2の抵抗のうち少なくとも1つの第2の抵抗の抵抗値は、他の第2の抵抗の抵抗値よりも低いことを特徴とする請求項4記載のスイッチ回路装置。

【請求項6】 共通端子と第1の端子との間に接続され、かつ第1の制御信号を受けるゲート電極を有する少なくとも1つの第1のトランジスタと、

前記共通端子と第2の端子との間に接続され、かつ前記第1の制御信号と相補的に変化する第2の制御信号を受けるゲート電極を有する少なくとも1つの第2のトランジスタと、

前記第1のトランジスタのソース電極とドレイン電極との間にそれぞれ接続された少なくとも1つの第1の抵抗と、

前記第2のトランジスタのソース電極とドレイン電極との間にそれぞれ接続された少なくとも1つの第2の抵抗とを備え、

前記第1のトランジスタの数および前記第2のトランジスタの数をそれぞれnとし、前記第1の抵抗の抵抗値および前記第2の抵抗の抵抗値をそれぞれR<sub>a</sub>とし、前記共通端子、前記第1の端子および前記第2の端子にそれぞれ接続される負荷抵抗の値をそれぞれRとし、オン状態の第1または第2のトランジスタにより伝送される電力をPとし、前記第1および第2の抵抗の高抵抗領域から低抵抗領域への変化点での印加電圧をV<sub>r</sub>とし、オフ状態の第1または第2のトランジスタの容量値をC<sub>off</sub>とし、信号の角周波数をωとした場合に、

【数1】

$$V_r > \frac{\sqrt{2RP}}{n} \dots (1)$$

$$R_a > \frac{1}{\omega \cdot C_{off}} \dots (2)$$

上式(1)および(2)の関係が満足されることを特徴とするスイッチ回路装置。

30 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の電界効果トランジスタ(FET)からなるスイッチ回路装置に関する。

【0002】

【従来の技術】例えば、マイクロ波通信システムの送受信装置には、高速なスイッチング動作が可能なGaN系のスイッチ回路装置が用いられる。図10はMESFET(金属-半導体電界効果型トランジスタ；以下、FETと略記する)を用いた従来のスイッチ回路装置の一例を示す回路図である。

【0003】図10のスイッチ回路装置においては、端子A、B間に複数のFET100が多段に接続され、端子A、C間に複数のFET200が多段に接続されている。複数のFET100のゲートはそれぞれ抵抗を介して制御端子Dに接続され、複数のFET200のゲートはそれぞれ抵抗を介して制御端子Eに接続されている。制御端子D、Eには、互いに相補的な制御信号V1、V2が与えられる。

50 【0004】図10のスイッチ回路装置において、制御

信号V1が高レベルの電圧になり、制御信号V2が低レベルの電圧になると、FET100がオンし、FET200がオフする。それにより、端子A、B間で信号の伝送が行われる。

【0005】この場合、端子A、C間の電圧がオフ状態の複数のFET200により分配される。それにより、端子A、B間での信号の伝送時に、端子A、C間で信号の漏れが生じない。したがって、入出力電力特性（入出力パワー特性）を向上させることができる（T. Tsukii, M. J. Schindler, and S. G. Hwang, "High Power and High Isolation 2 to 20 GHz MMIC Switches," 1992 Asia-Pacific Microwave Conference, Adelaide, pp.327-329, 1992）。

【0006】また、複数のゲート電極を有するマルチゲートトランジスタを用いた場合にも、スイッチ回路装置の入出力電力特性を向上させることができる（F. McGrath, C. Varmazis, C. Kermarrec, R. Pratt, "Novel High Performance SPDT Switches Using Multi-Gate FET's," IEEE MTT-S Digest, pp.839-842, 1991）。

【0007】しかしながら、オフ状態のFET200のうち、端子A側のFET200のゲート・ソース間電圧に比べ、そのゲート・ドレイン間電圧および他のFET200のゲート・ソース間電圧およびゲート・ドレイン間電圧は小さくなる。それにより、端子A、B間で大電力の信号を伝送すると、端子A、C間で信号の漏れが生じやすいという問題が生じる。

【0008】そこで、多段に接続されたFETを用いたスイッチ回路装置において、各FETのソース・ドレイン間に抵抗を附加することにより各FETのソース・ドレイン間の電圧を一定に保つことが提案されている。それにより、オフ状態の各FETのゲート・ソース間およびゲート・ドレイン間に印加される電圧が全て等しくなり、各FETの耐電圧特性が向上し、入出力電力特性も向上する。

#### 【0009】

【発明が解決しようとする課題】しかしながら、上記のスイッチ回路装置においては、多段に接続されたFETのソース・ドレイン間に外部抵抗を附加することにより、スイッチ回路装置のチップ面積が増加する。それにより、スイッチ回路装置の小型化が妨げられる。

【0010】また、入力電力を増加させると、突然出力電力が低下し、スイッチ回路装置が破壊する場合がある（M. J. Schindler, T.E.Kazior, "A High Power 2-18 GHz T/R Switch," IEEE Microwave and Millimeter-Wave Monolithic Circuits Symposium, pp.119-122, 1990）。そのため、許容入力電力を増加させるための方策が求められている。

【0011】さらに、各FETのソース・ドレイン間に接続する抵抗に対する耐電圧性に関する条件が不明であったため、抵抗の非線形性により入出力電力特性が劣化

する場合がある。

【0012】本発明の目的は、入出力電力特性の向上および小型化が可能なスイッチ回路装置を提供することである。

【0013】本発明の他の目的は、許容入力電力が向上されたスイッチ回路装置を提供することである。

【0014】本発明のさらに他の目的は、電力伝送時に入出力電力特性の線形性を保持することが可能なスイッチ回路装置を提供することである。

#### 【0015】

【課題を解決するための手段および発明の効果】第1の発明に係るスイッチ回路装置は、共通端子と第1の端子との間に接続され、かつ第1の制御信号を受けるゲート電極を有する少なくとも1つの第1のトランジスタと、共通端子と第2の端子との間に接続され、かつ前記第1の制御信号と相補的に変化する第2の制御信号を受けるゲート電極を有する少なくとも1つの第2のトランジスタと、第1のトランジスタのソース電極とドレイン電極との間にそれぞれ接続された少なくとも1つの第1の抵抗と、第2のトランジスタのソース電極とドレイン電極との間にそれぞれ接続された少なくとも1つの第2の抵抗とを備え、第1の抵抗は、第1のトランジスタの素子領域内に設けられ、第2の抵抗は、第2のトランジスタの素子領域内に設けられたものである。

【0016】本発明に係るスイッチ回路装置においては、第1の制御信号により第1のトランジスタがオンすると、第2の制御信号により第2のトランジスタがオフする。また、第1の制御信号により第1のトランジスタがオフすると、第2の制御信号により第2のトランジスタがオンする。

【0017】この場合、第1および第2の抵抗により入出力電力特性が向上される。また、第1の抵抗が第1のトランジスタの素子領域内に設けられ、第2の抵抗が第2のトランジスタの素子領域内に設けられているので、チップ面積が増加しない。したがって、入出力電力特性を向上させつつ小型化を図ることができる。

【0018】第1の抵抗は、第1のトランジスタのソース電極とドレイン電極との間の領域に配置された抵抗層を含み、第2の抵抗は、第2のトランジスタのソース電極とドレイン電極との間の領域に配置された抵抗層を含んでもよい。

【0019】この場合、第1および第2の抵抗がそれぞれ第1および第2のトランジスタのソース電極とドレイン電極との間の領域に設けられるので、チップ面積が増加しない。

【0020】第1の抵抗は、第1のトランジスタの上方に配置された抵抗層を含み、第2の抵抗は、第2のトランジスタの上方に配置された抵抗層を含んでもよい。

【0021】この場合、第1および第2の抵抗が多層化技術によりそれぞれ第1および第2のトランジスタの上

方に設けられるので、チップ面積が増加しない。

【0022】第2の発明に係るスイッチ回路装置は、共通端子と第1の端子との間に接続され、かつ第1の制御信号を受けるゲート電極を有する複数の第1のトランジスタと、共通端子と第2の端子との間に接続され、かつ第1の制御信号と相補的に変化する第2の制御信号を受けるゲート電極を有する複数の第2のトランジスタと、複数の第1のトランジスタのソース電極とドレイン電極との間にそれぞれ接続された複数の第1の抵抗と、複数の第2のトランジスタのソース電極とドレイン電極との間にそれぞれ接続された複数の第2の抵抗とを備え、複数の第1の抵抗のうち少なくとも1つの第1の抵抗の抵抗値は、他の第1の抵抗の抵抗値よりも低いことを特徴とする。

【0023】本発明に係るスイッチ回路装置においては、第1の制御信号により第1のトランジスタがオンすると、第2の制御信号により第2のトランジスタがオフする。また、第1の制御信号により第1のトランジスタがオフすると、第2の制御信号により第2のトランジスタがオンする。

【0024】この場合、複数の第1の抵抗のうち少なくとも1つの第1の抵抗の抵抗値が他の第1の抵抗の抵抗値よりも低いことにより、第1のトランジスタの伝送経路における入出力電力特性が向上し、アイソレーション（絶縁度）特性および挿入損失の劣化なしに、許容入力電力が向上する。

【0025】複数の第2の抵抗のうち少なくとも1つの第2の抵抗の抵抗値が、他の第2の抵抗の抵抗値よりも低くてもよい。

【0026】この場合、複数の第2の抵抗のうち少なくとも1つの第2の抵抗の抵抗値が他の第2の抵抗の抵抗値よりも低いことにより、第2のトランジスタの伝送経路における入出力電力特性が向上し、アイソレーション特性および挿入損失の劣化なしに、許容入力電力が向上する。

【0027】第3の発明に係るスイッチ回路装置は、共通端子と第1の端子との間に接続され、かつ第1の制御信号を受けるゲート電極を有する少なくとも1つの第1のトランジスタと、共通端子と第2の端子との間に接続され、かつ第1の制御信号と相補的に変化する第2の制御信号を受けるゲート電極を有する少なくとも1つの第2のトランジスタと、第1のトランジスタのソース電極とドレイン電極との間にそれぞれ接続された少なくとも1つの第1の抵抗と、第2のトランジスタのソース電極とドレイン電極との間にそれぞれ接続された少なくとも1つの第2の抵抗とを備え、第1のトランジスタの数および第2のトランジスタの数をそれぞれnとし、第1の抵抗の抵抗値および第2の抵抗の抵抗値をそれぞれR<sub>a</sub>とし、共通端子、第1の端子および第2の端子にそれぞれ接続される負荷抵抗の値をそれぞれRとし、オン状態

の第1または第2のトランジスタにより伝送される電力をPとし、第1および第2の抵抗の高抵抗領域から低抵抗領域への変化点での印加電圧をV<sub>r</sub>とし、オフ状態の第1または第2のトランジスタの容量値をC<sub>off</sub>とし、信号の角周波数をωとした場合に、

【0028】

【数2】

$$V_r > \frac{\sqrt{2RP}}{n} \dots (1)$$

10

$$R_a > \frac{1}{\omega \cdot C_{off}} \dots (2)$$

【0029】上式（1）および（2）の関係が満足されるものである。本発明に係るスイッチ回路装置においては、第1の制御信号により第1のトランジスタがオンすると、第2の制御信号により第2のトランジスタがオフする。また、第1の制御信号により第1のトランジスタがオフすると、第2の制御信号により第2のトランジスタがオンする。

【0030】この場合、第1および第2の抵抗が式（1）および（2）を満足することにより、第1および第2の抵抗が高抵抗を維持することができる。それにより、電力伝送時のアイソレーション特性および挿入損失の劣化が防止され、入出力特性の線形性が維持される。

【0031】

【発明の実施の形態】図1は本発明の一実施例によるスイッチ回路装置の構成を示す回路図である。

【0032】図1のスイッチ回路装置において、端子A、B間に複数のFET1が多段に接続され、端子A、C間に複数のFET2が多段に接続されている。複数のFET1のゲートはそれぞれ抵抗を介して制御端子Dに接続され、複数のFET2のゲートはそれぞれ抵抗を介して制御端子Eに接続されている。制御端子D、Eには互いに相補な制御信号V1、V2が印加される。

【0033】また、各FET1のソース・ドレイン間に抵抗3が接続され、各FET2のソース・ドレイン間に抵抗4が接続されている。後述するように、抵抗3は各FET1の内部に設けられている。同様に、抵抗4は各FET2の内部に設けられている。各抵抗3、4の抵抗値はR<sub>a</sub>である。

【0034】本実施例では、端子A、B間に接続される複数の抵抗3のうち少なくとも1つの抵抗3の抵抗値R<sub>a</sub>が他の抵抗3の抵抗値R<sub>a</sub>よりも低く設定される。また、端子A、C間に接続される複数の抵抗4のうち少なくとも1つの抵抗4の抵抗値R<sub>a</sub>が他の抵抗4の抵抗値R<sub>a</sub>よりも低く設定される。

【0035】図1のスイッチ回路装置において、例えば、制御信号V1が高レベルの電圧になり、制御信号V2が低レベルの電圧になると、FET1がオンし、FET

50

T<sub>2</sub>がオフする。それにより、端子A、B間で信号の伝送が行われる。この場合、端子A、C間に印加される電圧がオフ状態のFET<sub>2</sub>に分配される。

【0036】また、制御信号V<sub>1</sub>が低レベルの電圧になり、制御信号V<sub>2</sub>が高レベルの電圧になると、FET<sub>1</sub>がオフし、FET<sub>2</sub>がオンする。それにより、端子A、C間で信号の伝送が行われる。この場合、端子A、B間に印加される電圧がオフ状態のFET<sub>1</sub>に分配される。

【0037】図2(a)、(b)は図1のスイッチ回路装置に用いられるFETおよび抵抗の第1の例を示す断面図および平面図である。

【0038】図2において、GaAs基板50の表面に複数のn<sup>+</sup>層51が形成され、n<sup>+</sup>層51間にはn型動作層55が形成されている。複数のn<sup>+</sup>層51上にはソース電極52およびドレイン電極53が交互に形成されている。

【0039】n<sup>+</sup>層51間のn型動作層55上にはゲート電極54が設けられている。複数のゲート電極54を覆うように例えばポリイミド樹脂からなる絶縁層60が形成され、絶縁層60上に例えばタンクステンからなる抵抗層61がゲート電極54に交差するように形成されている。抵抗層61はソース電極52およびドレイン電極53に接続されている。この抵抗層61が図1の抵抗3、4に相当する。

【0040】このように、本例では、抵抗層61がFETの素子領域内に多層化技術により設けられているので、FETのチップ面積が増加しない。

【0041】図3(a)、(b)は図1のスイッチ回路装置に用いられるFETおよび抵抗の第2の例を示す断面図および平面図である。

【0042】図3において、GaAs基板50の表面に複数のn<sup>+</sup>層51が形成され、n<sup>+</sup>層51間にはn型動作層55が形成されている。複数のn<sup>+</sup>層51上にはソース電極52およびドレイン電極53が交互に形成されている。

【0043】n<sup>+</sup>層51間のn型動作層55上には複数のゲート電極54が形成されている。複数のゲート電極54を覆うように絶縁層60が形成され、絶縁層60上に抵抗層61が複数のゲート電極54に交差するように形成されている。抵抗層61はソース電極52およびドレイン電極53に接続されている。図3のFETはマルチゲートトランジスタであり、抵抗層61が図1の抵抗3、4に相当する。

【0044】このように、本例においても、抵抗層61がFETの素子領域内に多層化技術により設けられているので、FETのチップ面積が増加しない。

【0045】図4は図1のスイッチ回路装置に用いられるFETおよび抵抗の第3の例を示す平面図である。

【0046】図4において、ソース配線層52aから複数のソース電極52が所定間隔で平行に延びており、ド

レイン配線層53aから複数のドレイン電極53が所定間隔で複数のソース電極52間に平行に延びている。

【0047】また、複数のゲート電極54がゲート配線層54aからソース電極52とドレイン電極53との間に延びている。抵抗層61は、ゲート電極54と平行に配置され、ソース電極52の端部とドレイン配線層53aとの間に接続されている。この抵抗層61は図1の抵抗3、4に相当する。

【0048】このように、本例では、FETの素子領域内のソース電極52とドレイン配線層53aとの間の空いた領域に抵抗層61が配置されているので、FETのチップ面積が増加しない。

【0049】なお、抵抗層61を、すべてのソース電極52の端部とドレイン配線層53aとの間に接続せずに、一部のソース電極52の端部とドレイン配線層53aとの間に接続してもよい。例えば、1つおきまたは2つおきのソース電極52の端部とドレイン配線層53aとの間に接続してもよい。

【0050】図5は図1のスイッチ回路装置に用いられるFETおよび抵抗の第4の例を示す平面図である。

【0051】図5において、抵抗層61は、ゲート配線層54aの上部でゲート電極54と平行に配置され、ソース配線層52aとドレイン電極53の端部との間に接続されている。この抵抗層61が図1の抵抗3、4に相当する。

【0052】このように、本例においても、抵抗層61がFETの素子領域内に多層化技術により設けられているので、FETのチップ面積が増加しない。

【0053】次に、本実施例のスイッチ回路装置の入出力電力特性および比較例のスイッチ回路装置の入出力電力特性を計算により求めた。図6は入出力電力特性の計算に用いたスイッチ回路装置の構成を示す回路図である。

【0054】図6のスイッチ回路装置においては、端子A、B間に2つのFET11、12が直列に接続され、端子A、C間に2つのFET21、22が直列に接続されている。各FET11、12、21、22のソース・ドレイン間にはそれぞれ抵抗31、32、41、42が接続されている。

【0055】ここで、抵抗31、32、41、42の抵抗値をそれぞれRa1、Ra2、Ra3、Ra4とする。なお、各FET11、12、21、22のゲート幅Wgは800μmであり、制御信号V1、V2の高レベルの電圧は+6Vであり、低レベルの電圧は0Vである。

【0056】比較例のスイッチ回路装置では、4つの抵抗31、32、41、42の抵抗値Ra1、Ra2、Ra3、Ra4を全て6000Ωとした。実施例のスイッチ回路装置では、抵抗31、41の抵抗値Ra1、Ra3をそれぞれ6000Ωとし、抵抗32、42の抵抗値

R<sub>a</sub>2, R<sub>a</sub>4をそれぞれ500Ωとした。

【0057】図7は比較例のスイッチ回路装置の入出力電力特性の計算結果を示す図であり、図8は実施例のスイッチ回路装置の入出力電力特性の計算結果を示す図である。

【0058】図7に示すように、比較例のスイッチ回路装置では、入力電力38.5dBmで出力電力が極端に低下していることがわかる。これは、オン状態のFETのソース・ゲート間もしくはゲート・ドレイン間に印加される電圧が、入力電力の増加に伴って増加し、それらの電圧がショットキ障壁以上になることによって起こる。

【0059】これに対して、図8に示すように、実施例のスイッチ回路装置では、入力電力38.5dBmにおいて出力電力の低下は見られない。

【0060】このように、実施例のスイッチ回路装置では、抵抗32の抵抗値R<sub>a</sub>2を抵抗31の抵抗値R<sub>a</sub>1よりも低く設定し、抵抗42の抵抗値R<sub>a</sub>4を抵抗41の抵抗値R<sub>a</sub>3よりも低く設定することにより、入出力電力特性が向上する。

【0061】抵抗31, 41の抵抗値R<sub>a</sub>1, R<sub>a</sub>3を500Ωとし、抵抗32, 42の抵抗値R<sub>a</sub>2, R<sub>a</sub>4を6000Ωとした場合にも、図8と同様の計算結果を得られた。

【0062】なお、抵抗31, 32, 41, 42の抵抗値R<sub>a</sub>1, R<sub>a</sub>2, R<sub>a</sub>3, R<sub>a</sub>4を全て500Ωと低くした場合にも、入力電力38.5dBm付近における出力電力の低下は見られないが、全ての抵抗値R<sub>a</sub>1, R<sub>a</sub>2, R<sub>a</sub>3, R<sub>a</sub>4を低い値にすることによりアイソレーション特性や挿入損失が劣化する。

【0063】したがって、図1のスイッチ回路装置において、端子A, B間に接続される複数の抵抗3のうち少なくとも1つの抵抗3の抵抗値R<sub>a</sub>を他の抵抗3の抵抗値R<sub>a</sub>よりも低くし、端子A, C間に接続される複数の抵抗4のうち少なくとも1つの抵抗4の抵抗値R<sub>a</sub>を他の抵抗4の抵抗値R<sub>a</sub>よりも低くすることにより、アイ\*

$$V_{max} = \sqrt{4RP} \cdot \sqrt{2} \dots (A1)$$

【0070】ここで、Rは通常50Ωである。また、端子A, C間のFET2の段数をnとすると、オフ状態の各FET2のソース・ドレイン間に印加される電圧V<sub>ds</sub>は、 $V_{max}/(2n)$ となる。よって、式(A1)から、オフ状態の各FET2のソース・ドレイン間に印加される電圧V<sub>ds</sub>は次式で表される。

【0071】

【数4】

$$V_{ds} = \frac{\sqrt{2RP}}{n} \dots (A2)$$

【0072】上記のように、オフ状態の各FET2のソース・ドレイン間に印加される電圧V<sub>ds</sub>が上記のブレ

\*ソレーション特性および挿入損失を劣化させることなく入出力電力特性を向上させることができるとなる。その結果、許容入力電力が向上し、入力電力を増加させた場合でも、スイッチ回路装置の破壊が防止される。

【0064】なお、スイッチ回路装置を送受信装置に用いる場合には、大きな電力の伝送が必要な送信経路の複数のFETに付加される抵抗のうち少なくとも1つの抵抗の抵抗値を他の抵抗の抵抗値よりも低く設定する。

【0065】図9はイオン注入法を用いてGaN基板10上に形成した抵抗素子の電流-電圧特性を示す図である。図9に示すように、抵抗の両端に印加する電圧が低い場合には、抵抗値は例えば6kΩ程度であり、抵抗の両端に印加する電圧が高くなると、抵抗値は高くなる。抵抗の両端に印加する所定値の電圧V<sub>r</sub>を越えると、抵抗がブレークダウンし、抵抗値は著しく低くなる。このように、抵抗の抵抗値は非線形性を示す。

【0066】このような非線形性により、図1のスイッチ回路装置の抵抗3, 4が高い抵抗値を示す領域では、アイソレーション特性や挿入損失が劣化することはない。しかし、印加電圧がV<sub>r</sub>を越えて抵抗3, 4が低い抵抗値を示す領域になると、抵抗3, 4がFET1, 2と並列に接続されているので、アイソレーション特性や挿入損失が劣化する。

【0067】そこで、スイッチ回路装置の各FET1, 2に付加される抵抗3, 4の両端にかかる電圧が上記のV<sub>r</sub>を越えないように、以下のように条件を設定する。

【0068】ここで、図1のスイッチ回路装置において、FET1がオンし、FET2がオフしているものとする。端子Aには抵抗値Rの内部抵抗を有する電源が接続され、端子Bには抵抗値Rの負荷抵抗が接続されるものとする。端子A, B間ににおいて伝送される信号の電力をPとすると、端子A, C間に印加される電圧の最大値V<sub>max</sub>は次式で表される。

【0069】

【数5】

40 ークダウン電圧V<sub>r</sub>を越えないためには、式(A2)より次式を満足する必要がある。

【0073】

【数5】

$$V_r > \frac{\sqrt{2RP}}{n} \dots (1)$$

【0074】また、FET2のオフ時に信号の伝送を阻止するためには、オフ状態のFET2に付加される抵抗4の抵抗値R<sub>a</sub>をオフ状態のFET2のインピーダンスよりも大きく設定する必要がある。したがって、オフ状態のFET2に付加される抵抗4の抵抗値R<sub>a</sub>は、次式50の関係を満足する必要がある。

【0075】

【数6】

$$R_a > \frac{1}{\omega \cdot C_{off}} \dots (2)$$

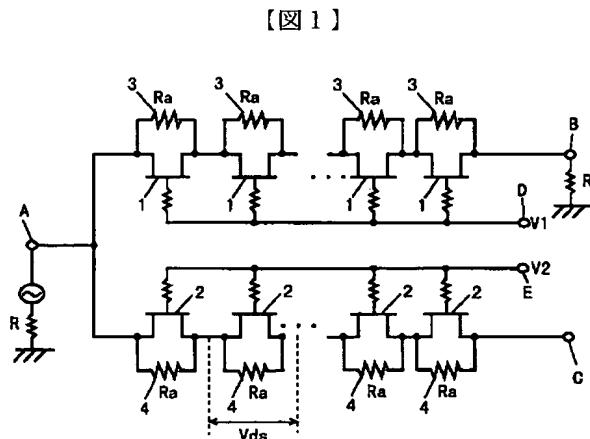
【0076】 $C_{off}$ はFET2のオフ容量、 $\omega$ は高周波信号の角周波数である。FET1がオフし、FET2がオンした場合には、抵抗3が式(1)および(2)を満足することが必要である。

【0077】上記のように、式(1)および(2)を満足することにより、オフ状態のFETのソース・ドレン間に接続される抵抗が高抵抗を維持することができる。その結果、電力伝送時のアイソレーション特性および挿入損失の劣化が防止され、入出力電力特性の線形性を維持することができる。

【0078】なお、抵抗3、4の非線形性により全ての抵抗3、4が高抵抗値を示した場合、図7と同様の現象が起こる可能性がある。したがって、上記のように、複数の抵抗3のうち少なくとも1つの抵抗3の抵抗値 $R_a$ を他の抵抗3の抵抗値 $R_a$ よりも低く設定し、複数の抵抗4のうち少なくとも1つの抵抗4の抵抗値 $R_a$ を他の抵抗4の抵抗値 $R_a$ よりも低く設定することが好ましい。

## 【図面の簡単な説明】

【図1】本発明の一実施例におけるスイッチ回路装置の\*



【図1】

\* 構成を示す回路図である。

【図2】図1のスイッチ回路装置に用いられるFETおよび抵抗の第1の例を示す断面図および平面図である。

【図3】図1のスイッチ回路装置に用いられるFETおよび抵抗の第2の例を示す断面図および平面図である。

【図4】図1のスイッチ回路装置に用いられるFETおよび抵抗の第3の例を示す平面図である。

【図5】図1のスイッチ回路装置に用いられるFETおよび抵抗の第4の例を示す平面図である。

10 【図6】入出力電力特性の計算に用いたスイッチ回路装置の構成を示す回路図である。

【図7】比較例のスイッチ回路装置の入出力電力特性の計算結果を示す図である。

【図8】実施例のスイッチ回路装置の入出力電力特性の計算結果を示す図である。

【図9】一般的な抵抗の電流-電圧特性を示す図である。

【図10】従来のスイッチ回路装置の構成を示す回路図である。

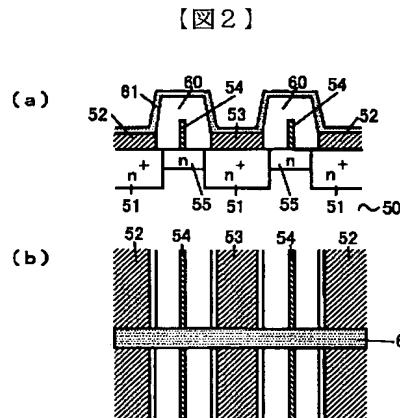
20 【符号の説明】

1, 2, 11, 12, 21, 22 FET

3, 4, 31, 32, 41, 42 抵抗

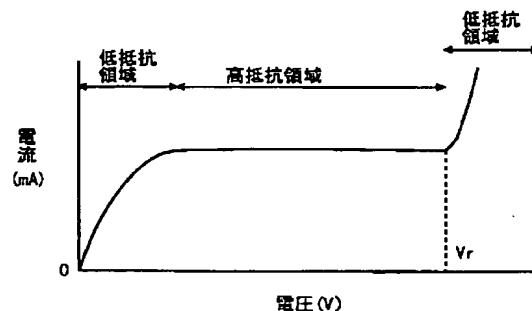
 $R_a, R_{a1}, R_{a2}, R_{a3}, R_{a4}$  抵抗値

A, B, C 端子

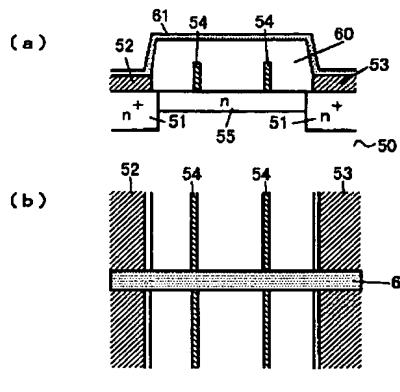


【図2】

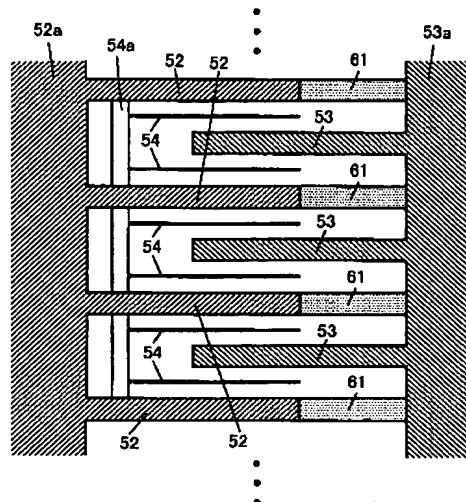
【図9】



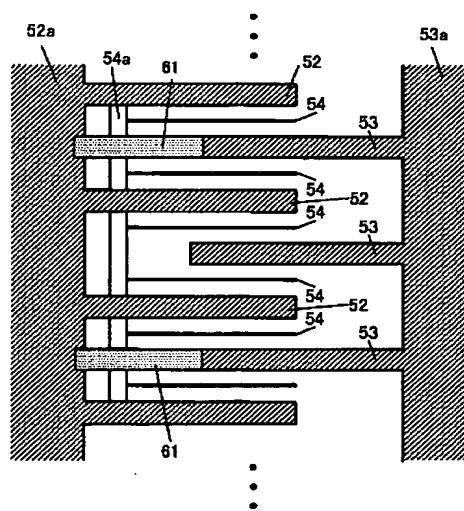
【図3】



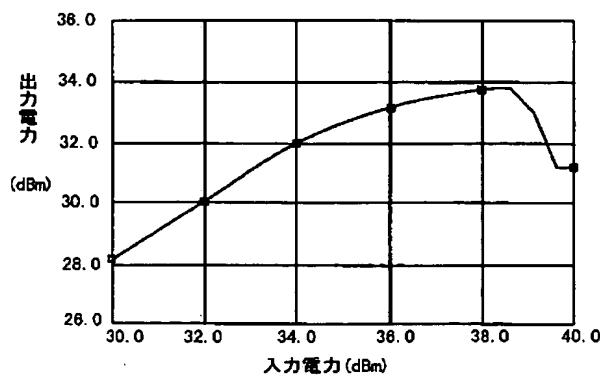
【図4】



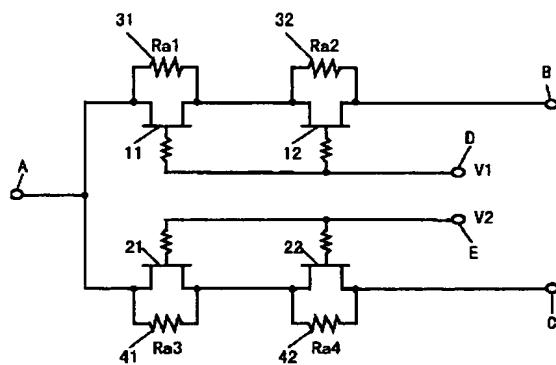
【図5】



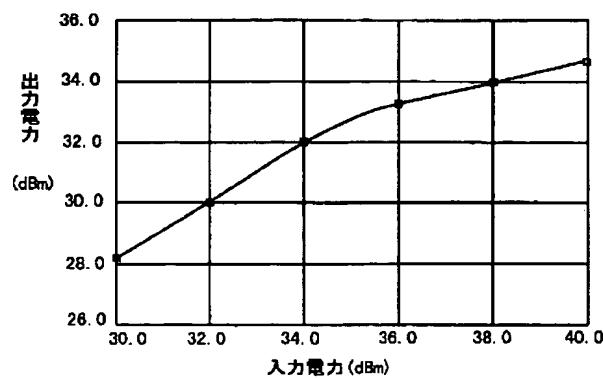
【図7】



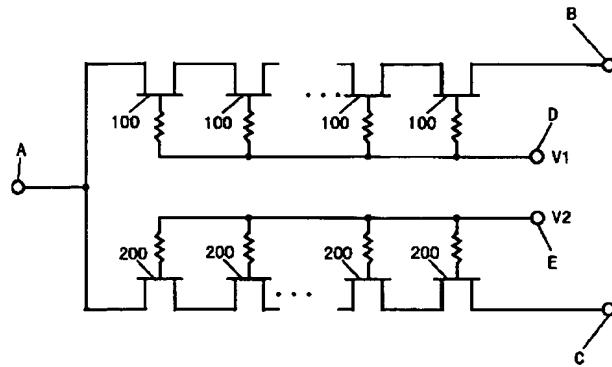
【図6】



【図8】



【図10】




---

フロントページの続き

Fターム(参考) 5F038 AR06 AR20 AR25 CA02 DF01  
 EZ02 EZ20  
 5F102 GA03 GA17 GB01 GC01 GC05  
 GD01 GJ05 GS09 GV05  
 5J055 AX11 AX31 AX44 BX11 BX17  
 CX01 CX03 CX26 DX23 DX44  
 DX61 DX72 DX83 EY01 GX01  
 GX06 GX07 GX08  
 5J098 AA03 AA11 AC05 AC10 AC14  
 AC20 AD25 EA01